



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0004807  
Application Number

출원년월일 : 2003년 01월 24일  
Date of Application JAN 24, 2003

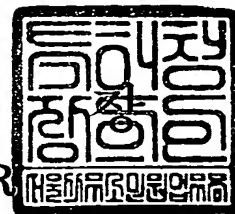
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      09      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.01.24
【발명의 명칭】	통합 디큐 모드 테스트시 에스디알 또는 디디알 모드로 테스트 가능한 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device testable SDR or DDR at Merged DQ mode test
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이종철
【성명의 영문표기】	LEE, JONG CHEOL
【주민등록번호】	740127-1343517
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 901동 911호
【국적】	KR
【발명자】	
【성명의 국문표기】	조옥래
【성명의 영문표기】	CHO, UK RAE
【주민등록번호】	640306-1804617

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1187 신현대아파트 2-402
【국적】	KR
【발명자】	
【성명의 국문표기】	김수철
【성명의 영문표기】	KIM,SU CHUL
【주민등록번호】	700223-1108519
【우편번호】	435-047
【주소】	경기도 군포시 궁내동 백두한양아파트 982동 2503호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	427,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

통합 DQ 모드 테스트시 SDR 또는 DDR 모드로 테스트 가능한 반도체 메모리 장치가 개시된다. 본 발명의 반도체 메모리 장치는 클럭 신호의 제1 에지 구간에서 출력되는 제1 내부 데이터를 선택적으로 전달하는 제1 경로부와, 클럭 신호의 제2 에지 구간에서 출력되는 제2 내부 데이터를 선택적으로 전달하는 제2 경로부와, 그리고 제1 경로부와 제2 경로부의 출력들에 응답하여 SDR 또는 DDR 모드로 통합 출력 신호를 출력하는 통합 출력 신호 발생부를 포함한다. 따라서, 본 발명의 반도체 메모리 장치에 의하면, 통합 DQ 모드 테스트 시 DDR 모드 또는 SDR 모드로 테스트 가능하다.

**【대표도】**

도 3

**【색인어】**

통합 DQ 모드 테스트, SDR, DDR

## 【명세서】

## 【발명의 명칭】

통합 디큐 모드 테스트시 에스디알 또는 디디알 모드로 테스트 가능한 반도체 메모리 장치  
{Semiconductor memory device testable SDR or DDR at Merged DQ mode test}

## 【도면의 간단한 설명】

도 1은 종래의 통합 DQ 모드를 수행하는 반도체 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 통합 제어부의 구체적인 회로도를 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 통합 제어부를 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 제어 신호 발생부를 나타내는 도면이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 통합 DQ 모드 테스트시 SDR 또는 DDR 처럼 테스트 가능한 반도체 메모리 장치에 관한 것이다.

<6> 반도체 메모리 장치의 테스트는 크게 웨이퍼 테스트(wafer test)와 패키지 테스트(package test)로 구분된다. 반도체 제조 공정이 끝난 후, 웨이퍼 상태에서 1차적으로 불량 여부를 걸러내고, 웨이퍼 상태의 양품인 디바이스를 패키징하여 2차적으로 불량 여부를 가려낸다. 그리하여 최종적으로 반도체 메모리 장치의 사양(specification)을 만족하는 제품을 출시하게 된다.

<7> 한편, 반도체 메모리 장치의 대용량화, 고집적화 및 고기능화에 따라 반도체 메모리 장치의 입출력 핀들의 수가 크게 늘어난다. 반도체 메모리 장치의 테스트는 이 입출력 핀들을 테스트 장비의 채널들과 각각 연결시켜 기대 데이터(expected data)와 실제 출력 데이터를 비교함으로써 그 불량 여부를 가린다. 테스트 장비의 채널 수는 한정되어 있는 데, 입출력 핀들이 많은 반도체 메모리 장치를 테스트하게 되면 단위 시간에 테스트할 수 있는 반도체 메모리 장치의 수가 줄어든다. 이는 전체 반도체 메모리 장치들을 테스트하는 데 많은 시간이 소요되기 때문에, 테스트 단가가 높아지고 생산성이 낮아지는 문제점이 있다.

<8> 이를 해결하기 위한 하나의 방안으로, 통합 DQ(merged DQ) 방식이 있다. 통합 DQ 방식은 반도체 메모리 장치의 입출력 핀인 DQ 핀들을 하나의 핀으로 할당하여 테스트하는 방식이다. 즉, 다수개의 DQ 핀들 각각으로 출력되는 데이터들을 기대 데이터(expected data)와 비교하고 그 비교 결과를 1 비트 데이터로 병합하여 출력하는 것이다. 다수개의 DQ 핀들과 연결되는 테스트 장비의 채널을 하나로 통합함에 따라 한번에 테스트할 수 있는 반도체 메모리 장치의 수를 늘림으로써 테스트 단가를 낮출 수 있다.

<9> 도 1은 종래의 통합 DQ 방식을 수행하는 반도체 메모리 장치를 나타내는 도면이다. 이를 참조하면, 반도체 메모리 장치(100)는 데이터 래치부들(110), 데이터 비교부들(130), 데이터 통합부(150), 통합 제어부(170), 그리고 출력 버퍼들(180)을 포함한다. 데이터 래치부들(110)은 내부 클럭 신호(KCORE)에 응답하여 반도체

메모리 장치(100) 내부에서 발생하는 데이터(I/O 0, I/O 1, ..., I/O 8)를 래치한다. 래치된 데이터들(I/O 0, I/O 1, ..., I/O 8)은 반도체 메모리 장치의 정상적인 동작 모드일 때 통합 신호(MDQ)의 비활성화에 응답하여 디멀스(DMUX)를 통해 출력 버퍼들(180)로 전달되거나, 통합 DQ 모드일 때 통합 신호(MDQ)의 활성화에 응답하여 출력 버퍼들(180)로의 전달이 마스킹되어 데이터 비교부들(130)로 전달된다. 정상적인 동작 모드일 때 출력 버퍼들(180)은 래치된 데이터들(I/O 0, I/O 1, ..., I/O 8)을 DQ 패드들(DQ0, DQ1, ..., DQ8)로 출력한다.

<10> 통합 DQ 모드일 때, 데이터 비교부들(130)은 통합 신호(MDQ)에 응답하여 래치된 데이터들(I/O 0, I/O 1, ..., I/O 8)을 서로 비교한다. 제1 내지 제5 래치 데이터들(I/O 0, I/O 1, ..., I/O 4)과 제6 내지 제9 래치 데이터들(I/O 5, I/O 6, ..., I/O 8)이 서로 비교된 후 그 비교 결과들은 데이터 통합부(150)로 전달된다. 데이터 통합부(150)는 비교 결과들은 입력하는 배타적 논리합(XOR)으로 구성되고 통합 신호(MDQ)에 응답하여 그 출력(DOUTMDQB)을 통합 제어부(170)로 전달한다. 통합 제어부(170)는 출력 클럭 신호(KDATA)와 통합 플래그 신호(MFLAG)에 응답하여 통합 제어부(150) 출력(DOUTMDQ)을 제6 출력 버퍼(195)로 전달한다. 제6 출력 버퍼(195)는 9개의 출력 버퍼들(190, 191, 192, ..., 198) 중 어느 하나인 것을 대표적으로 나타낸다. 제6 출력 버퍼(195)의 출력은 출력 버퍼(195) 내 출력 인에이블 발생부(OEEN)로 제공되어 제6 DQ 패드(DQ5)로 출력된다. 제6 DQ 패드(DQ5)는 통합 DQ 패드(MDQ\_I0)가 된다.

<11> 도 2는 통합 제어부(170)의 구체적인 회로도를 나타내는 도면이다. 이를 참조하면, 데이터 통합부(150, 도 1)의 출력은 클럭 신호의 상승 에지에서 또는 하강에지에서 각각 출력되는 제1 통합 데이터(DOUTMDQB\_W)와 제2 통합 데이터(DOUTMDQ\_X)로 나누어진다. 통합 플래그 신호(MFLAG)가 로직 하이레벨로 활성화된 상태에서 출력 클럭 신호들(KADTA\_w1, KDATA\_x1)에 선택

적으로 응답하여 데이터 통합부(150)의 제1 통합 데이터(DOUTMDQB\_W) 또는 제2 통합 데이터(DOUTMDQ\_X)를 그 출력(DOUTMDQ)으로 발생한다.

<12> 그런데, 이러한 통합 제어부(170)의 동작을 살펴보면, 제1 및 제2 통합 데이터(DOUTMDQB\_W, DOUTMDQ\_X)는 DDR(double data rate) 동작으로 출력될 수 있는 것임에 반하여, 통합 제어부(170) 출력(DOUTMDQ)은 출력 클럭 신호들(KADTA\_w1, KDATA\_x1)이 동시에 발생되지 않는 관계로 인하여 SDR(single data rate) 동작처럼 보인다. 즉, 데이터 통합부(150)의 출력은 DDR 동작이 가능하도록 두개의 비교 데이터를 출력시킬 수 있는 반면, 통합 제어부는 두개의 비교 결과 중 하나의 비교 결과만을 출력시키도록 되어 있다. 이는 반도체 메모리 장치의 DDR 동작을 통합 DQ 모드에서 충분히 활용하지 못하는 문제점으로 나타난다.

<13> 그러므로, 통합 DQ 모드에서도 DDR처럼 테스트 가능한 반도체 메모리 장치가 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 본 발명의 목적은 통합 DQ 모드 테스트시 SDR 또는 DDR 모드로 테스트 가능한 반도체 메모리 장치를 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<15> 상기 목적을 달성하기 위하여, 본 발명에 따른 통합 DQ 모드로 테스트되는 반도체 메모리 장치는 클럭 신호의 제1 에지 구간에서 출력되는 제1 내부 데이터를 선택적으로 전달하는 제1 경로부와, 클럭 신호의 제2 에지 구간에서 출력되는 제2 내부 데이터를 선택적으로 전달하는 제2 경로부와, 그리고 제1 경로부와 제2 경로부의 출력들에 응답하여 SDR 또는 DDR 모드로 통합 출력 신호를 출력하는 통합 출력 신호 발생부를 포함한다. 그리고 반도체 메모리 장치는 반도체 메모리 장치의 버스트 타입에 따라 발생하는 출력 클럭 신호들에 응답하여 제1 경로부



와 제2 경로부를 제어하는 제1 및 제2 싱글 데이터 레이트 신호들과 제1 및 제2 전송 신호쌍들을 발생하는 제어 신호 발생부를 더 포함한다. 클럭 신호의 제1 에지 구간은 상승 에지 구간이고, 제2 에지 구간은 하강 에지 구간이다.

<16> 바람직하기로, 제어 신호 발생부는 제1 출력 클럭 신호와 제2 출력 클럭 신호를 수신하는 제1 노아 게이트와, 제2 및 제3 인버터의 출력이 제1 전송 신호쌍으로 발생되며 제1 노아 게이트 출력에 직렬 연결되는 제1, 제2, 그리고 제3 인버터들과, 제3 출력 클럭 신호와 제4 출력 클럭 신호를 수신하는 제2 노아 게이트와, 제5 및 제6 인버터의 출력이 제2 전송 신호쌍으로 발생되며 제2 노아 게이트 출력에 직렬 연결되는 제4, 제5, 그리고 제6 인버터들과, 반전된 제1 전송 신호와 제2 전송 신호를 입력하여 제2 싱글 데이터 레이트 신호를 출력하는 제1 낸드 게이트와, 그리고 제1 전송 신호와 반전된 제2 전송 신호를 입력하여 제1 싱글 데이터 레이트 신호를 출력하는 제2 낸드 게이트를 포함한다.

<17> 제1 경로부는 통합 플래그 신호를 입력하는 제1 인버터와, 제1 인버터 출력과 제1 내부 데이터를 입력하는 노아 게이트와, 일단으로 입력되는 노아 게이트 출력을 제1 전송 신호쌍에 응답하여 다른 단으로 전달하는 전송 게이트와, 전원 전압과 전송 게이트 다른 단 사이에 연결되고 제2 싱글 데이터 레이트 신호에 게이팅되는 피모스 트랜지스터와, 전송 게이트 다른 단의 전압 레벨을 래치하는 래치와, 래치 출력을 반전시켜 제1 경로부 출력 신호를 출력하는 제2 인버터, 그리고 전송 게이트 다른 단과 접지 전압 사이에 연결되고 리셋 신호에 게이팅되어 전송 게이트 다른 단을 리셋시키는 엔모스 트랜지스터를 포함한다. 제2 경로부는 통합 플래그 신호를 입력하는 제1 인버터와, 제1 인버터 출력과 제2 내부 데이터를 입력하는 노아 게이트와, 일단으로 입력되는 노아 게이트 출력을 상기 제2 전송 신호쌍에 응답하여 다른 단으로 전달하는 전송 게이트와, 전원 전압과 전송 게이트 다른 단 사이에 연결되고 제1 싱글 데이터 레이트

신호에 게이팅되는 피모스 트랜지스터와, 전송 게이트 다른 단의 전압 레벨을 래치하는 래치와, 래치 출력을 반전시켜 제2 경로부 출력 신호를 출력하는 제2 인버터와, 그리고 전송 게이트 다른 단과 접지 전압 사이에 연결되고 리셋 신호에 게이팅되어 전송 게이트 다른 단을 리셋시키는 엔모스 트랜지스터를 포함한다. 통합 출력 신호 발생부는 제1 경로부의 출력과 제2 경로부의 출력을 입력하는 낸드 게이트와, 그리고 낸드 게이트의 출력을 입력하여 통합 출력 신호로 출력하는 인버터를 포함한다.

<18> 따라서, 본 발명의 반도체 메모리 장치에 의하면, 통합 DQ 모드 테스트 시 DDR 모드 또는 SDR 모드로 테스트 가능하다.

<19> 이하, 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조부호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들로 나타내고 있음은 명백하다. 본 명세서에서는 반도체 메모리 장치들 중 DDR SRAM에 대하여 기술된다.

<20> 도 3은 본 발명의 일실시예에 따른 반도체 메모리 장치의 일부분을 나타내는 도면이다. 도 3은 도 1의 통합 제어부에 대하여 본 발명의 사상을 적용한 회로도이다. 통합 제어부(300)는 제1 경로부(310)와 제2 경로부(330), 그리고 통합 출력 신호 발생부(350)를 포함한다. 제1 경로부(310)는 제1 통합 데이터(DOUTMDQB\_W)와 통합 플래그 신호(MFLAG)를 수신하고, 리셋 신호(RESET)와 제2 싱글 데이터 레이트 신호(SDR\_X), 그리고 제1 클럭 신호쌍(W, WB)에 응답하여 제1 경로부 출력 신호(MDQ\_W)를 발생한다. 제2 경로부(330)는 제2 통합 데이터(DOUTMDQB\_X)와 통합 플래그 신호(MFLAG)를 수신하고, 리셋 신호(RESET)와 제1 싱글 데이터 레이트 신호(SDR\_W), 그리고 제2 클럭 신호쌍(X, XB)에 응답하여 제2 경로부 출력 신호(MDQ\_X)를 발생한다.

. 통합 출력 신호 발생부(350)는 제1 경로부 출력 신호(MDQ\_W)와 제2 경로부 출력 신호(MDQ\_X)를 수신하여 통합 출력 신호(DOUTMDQ)를 발생한다.

<21> 제1 및 제2 클럭 신호쌍(W, WB, X, XB) 및 제1 및 제2 싱글 데이터 레이트 신호(SDR\_W, SDR\_X)를 발생하는 제어 신호 발생부가 도 4에 도시되어 있다. 도 4를 참조하면, 제어 신호 발생부(400)는 출력 클럭 신호들(KDATAw0, KDATAw1, KDATAx0, KDATAx1)에 응답하여 제1 및 제2 클럭 신호쌍(W, WB, X, XB) 및 제1 및 제2 싱글 데이터 레이트 신호(SDR\_W, SDR\_X)를 발생한다. 출력 클럭 신호들(KDATAw0, KDATAw1, KDATAx0, KDATAx1)은 표 1과 같이 DDR 동작과 SDR 동작 일 때 각각 다르게 발생하는 클럭 신호들이다.

<22> 【표 1】

버스트타입	제1 버스트타입	제2 버스트타입	제3 버스트타입	제4 버스트타입
플래그 어드레스	00	01	10	11
DDR	KDATAw1 KDATAx0	KDATAw0 KDATAx1	KDATAw1 KDATAx0	KDATAw0 KDATAx1
SDR	KDATAw1 KDATAw0	KDATAx1 KDATAx0	KDATAw1 KDATAw0	KDATAx1 KDATAx0

<23> 여기에서, 플래그 어드레스(Flag Address)는 DDR SRAM의 버스트 타입(Burst Type)을 결정하는 신호이다. 제1 내지 제4 버스트 타입은 출력 클럭 신호들의 발생 유형에 따라 나누어진다. 표 1은 예로써, 해당 버스트 타입마다 DDR 동작과 SDR 동작에 따라 발생하는 출력 클럭 신호들(KDATAw0, KDATAw1, KDATAx0, KDATAx1)을 나타낸다.

<24> 도 4의 제어 신호 발생부(400)는 제1 출력 클럭 신호(KDATAw0)와 제2 출력 클럭 신호(KDATAw1)를 수신하는 제1 노아 게이트(402), 제1 노아 게이트(402) 출력에 직렬 연결되는 제1 내지 제3 인버터(404, 406, 408), 그리고 제2 싱글 데이터 레이트 신호(SDR\_X)를 출력하는 제1 낸드 게이트(410)를 포함한다. 그리고 제어 신호 발생부(400)는 제3 출력 클럭 신호(KDATAx0)

와 제4 출력 클럭 신호(KDATAx1)를 수신하는 제2 노아 게이트(412), 제2 노아 게이트(412) 출력에 직렬 연결되는 제4 내지 제6 인버터(414, 416, 418), 그리고 제1 싱글 데이터 레이트 신호(SDR\_W)를 출력하는 제2 낸드 게이트(420)를 포함한다. 제2 및 제3 인버터(406, 408) 출력들은 제1 전송 신호쌍(WB, W)이 되고, 제5 및 제6 인버터(416, 418) 출력들은 제2 전송 신호쌍(XB, X)이 된다. 제1 낸드 게이트(410)는 반전된 제1 전송 신호(WB)와 제2 전송 신호(X)를 입력하여 제2 싱글 데이터 레이트 신호(SDR\_W)를 출력한다. 제2 낸드 게이트(420)는 제1 전송 신호(W)와 반전된 제2 전송 신호(XB)를 입력하여 제1 싱글 데이터 레이트 신호(SDR\_W)를 출력한다.

<25> 제어 신호 발생부(400)의 동작은 다음과 같다. DDR 모드일 때 제1 버스트 타입인 경우, 제2 출력 클럭 신호(KDATAw1)와 제3 출력 클럭 신호(KDATAx0)가 하이레벨로 발생되고, 제1 전송 신호쌍(WB, W)은 각각 로직 로우레벨과 로직 하이레벨로 발생되고, 제2 전송 신호쌍(XB, X)은 각각 로직 로우레벨과 로직 하이레벨로 발생되고, 제1 싱글 데이터 레이트 신호(SDR\_W)와 제2 싱글 데이터 레이트 신호(SDR\_X)는 로직 하이레벨로 발생된다. 한편, SDR 모드일 때 제1 버스트 타입인 경우, 제1 출력 클럭 신호(KDATAw0)와 제2 출력 클럭 신호(KDATAw1)가 하이레벨로 발생되고, 제1 전송 신호쌍(WB, W)은 각각 로직 로우레벨과 로직 하이레벨로 발생되고, 제2 전송 신호쌍(XB, X)은 각각 로직 하이레벨과 로직 로우레벨로 발생되고, 제1 싱글 데이터 레이트 신호(SDR\_W)는 로직 로우레벨로, 그리고 제2 싱글 데이터 레이트 신호(SDR\_X)는 로직 하이레벨로 발생된다. 이러한 동작의 제어 신호 발생부(400)는 도 3의 통합 제어부(300)를 제어한다.

<26> 다시, 도 3을 참조하면, 제1 경로부(310)는 통합 플래그 신호(MFLAG)를 입력하는 제1 인버터(312), 제1 인버터(312) 출력과 제1 통합 데이터(DOUTMDQB\_W)를 입력하는 노아 게이트

(314), 제1 전송 신호쌍(WB, W)에 응답하여 노아 게이트(314) 출력을 전달하는 전송 게이트(316), 제2 싱글 데이터 레이트 신호(SDR\_X)에 응답하는 피모스 트랜지스터(318), 노드 NA 레벨을 래치하는 래치(320), 래치(320) 출력을 반전시켜 제1 경로부 출력 신호(MDQ\_W)를 출력하는 제2 인버터(322), 리셋 신호(RESET)를 입력하는 제3 인버터(324), 제3 인버터(324) 출력을 입력하는 제4 인버터(326), 그리고 제4 인버터(326) 출력에 응답하여 노드 NA를 리셋시키는 엔모스 트랜지스터(328)를 포함한다. 제2 경로부(320)는 제1 경로부(310)와 거의 동일한 구성으로 이루어지며, 제1 내지 제4 인버터(332, 342, 344, 346)와 노아 게이트(334), 전송 게이트(336), 피모스 트랜지스터(338), 래치(340), 그리고 엔모스 트랜지스터(348)를 포함한다. 제1 경로부 출력(MDQ\_W)과 제2 경로부 출력(MDQ\_X)은 통합 출력 신호 발생부(350)로 제공된다. 통합 출력 신호 발생부(350)는 제1 경로부 출력(MDQ\_W)과 제2 경로부 출력(MDQ\_X)을 입력하는 낸드 게이트(352)와 낸드 게이트(352) 출력을 입력하여 통합 출력 신호(DOUTMDQ)로 출력하는 인버터(354)를 포함한다.

<27> 이러한 통합 제어부(300)는 도 4의 제어 신호 발생부(400)와 연계하여 다음과 같은 통합 DQ 모드로 동작된다. 통합 DQ 모드일 때 통합 플래그 신호(MFLAG)는 로직 하이레벨로 설정된다.

<28> 먼저, 제1 버스트 타입의 DDR 모드에서는 제1 및 제2 싱글 데이터 레이트 신호들(SDR\_W, SDR\_X)이 로직 하이레벨이 되어 피모스 트랜지스터들(318, 338)이 턴오프된다. 이 때, 제1 전송 신호쌍(WB, W)은 각각 로직 로우레벨과 로직 하이레벨이고 제2 전송 신호쌍(XB, X)도 각각 로직 로우레벨과 로직 하이레벨이어서, 전송 게이트들(316, 336)이 턴온된다. 이에 따라 제1 통합 데이터 신호(DOUTMDQB\_W)는 노아 게이트(314), 전송 게이트(316), 래치(320), 그리고 제2 인버터(322)를 통하여 제1 경로부 출력 신호(MDQ\_W)로 전달되고, 제2 통합 데이터 신호

(DOUTMDQB\_X)는 노아 게이트(334), 전송 게이트(336), 래치(340), 그리고 제2 인버터(342)를 통하여 제2 경로부 출력 신호(MDQ\_X)로 전달된다. 여기에서, 제1 통합 데이터(DOUTMDQB\_W)와 제2 통합 데이터(DOUTMDQ\_X)는 DDR 모드로 통합 출력 신호 발생부(350)로 제공되어 통합 출력 신호(DOUTMDQ)로 발생된다.

<29> 다음에, 제1 버스트 타입의 SDR 모드에서는 제2 싱글 데이터 레이트 신호(SDR\_X)가 로직 하이레벨로 발생되고 제1 싱글 데이터 레이트 신호(SDR\_W)는 로직 로우레벨로 발생된다. 그리고 제1 전송 신호쌍(WB, W)은 각각 로직 로우레벨과 로직 하이레벨이고 제2 전송 신호쌍(XB, X)은 각각 로직 하이레벨과 로직 로우레벨이다. 이에 따라, 제1 통합 데이터 신호(DOUTMDQB\_W)가 제1 경로부(310)를 통하여 제1 경로부 출력 신호(MDQ\_W)로 전달된다. 한편, 제2 경로부(330)에서는 로직 로우레벨의 제1 싱글 데이터 레이트 신호(SDR\_W)에 응답하여 피모스 트랜지스터(338)가 턴온되어 노드 NB는 로직 하이레벨이 된다. 로직 하이레벨의 노드 NB에 의하여 제2 경로부 출력 신호(MDQ\_X)는 로직 하이레벨이 되는 데, 이는 통합 출력 신호 발생부(350)의 낸드 게이트(352)의 인에이블 신호로 제공된다. 따라서, 제1 통합 데이터(DOUTMDQB\_W)와 제2 통합 데이터(DOUTMDQ\_X) 중에서 제1 통합 데이터(DOUTMDQB\_W)만이 통합 출력 신호 발생부(350)로 제공되어 SDR 모드로 통합 출력 신호(DOUTMDQ)로 발생된다.

<30> 그러므로, 본 발명의 통합 제어부(300)에 의하면, 통합 DQ 모드 테스트 시 DDR 모드 또는 SDR 모드로 테스트 가능하다.

<31> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<32> 상술한 본 발명에 의하면, 통합 DQ 모드 테스트 시 DDR 모드 또는 SDR 모드로 테스트 가능하다.

**【특허청구범위】****【청구항 1】**

통합 DQ 모드로 테스트되는 반도체 메모리 장치에 있어서,

클럭 신호의 제1 에지 구간에서 출력되는 제1 내부 데이터를 선택적으로 전달하는 제1 경로부;

상기 클럭 신호의 제2 에지 구간에서 출력되는 제2 내부 데이터를 선택적으로 전달하는 제2 경로부; 및

상기 제1 경로부와 상기 제2 경로부의 출력들에 응답하여 SDR 또는 DDR 모드로 통합 출력 신호를 출력하는 통합 출력 신호 발생부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 반도체 메모리 장치는

상기 반도체 메모리 장치의 버스트 타입에 따라 발생하는 출력 클럭 신호들에 응답하여 상기 제1 경로부와 상기 제2 경로부를 제어하는 제1 및 제2 싱글 데이터 레이터 신호들과 제1 및 제2 전송 신호쌍들을 발생하는 제어 신호 발생부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제2항에 있어서, 상기 제어 신호 발생부는

제 1 출력 클럭 신호와 제2 출력 클럭 신호를 수신하는 제1 노아 게이트;



제2 및 제3 인버터의 출력이 상기 제1 전송 신호쌍으로 발생되며 상기 제1 노아 게이트 출력에 직렬 연결되는 제1, 상기 제2, 그리고 상기 제3 인버터들;

제 3 출력 클럭 신호와 제4 출력 클럭 신호를 수신하는 제2 노아 게이트;

제5 및 제6 인버터의 출력이 상기 제2 전송 신호쌍으로 발생되며 상기 제2 노아 게이트 출력에 직렬 연결되는 제4, 상기 제5, 그리고 상기 제6 인버터들;

반전된 제1 전송 신호와 상기 제2 전송 신호를 입력하여 제2 싱글 데이터 레이트 신호를 출력하는 제1 낸드 게이트; 및

상기 제1 전송 신호와 반전된 제2 전송 신호를 입력하여 제1 싱글 데이터 레이트 신호를 출력하는 제2 낸드 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 4】

제2항에 있어서, 상기 제1 경로부는

통합 플래그 신호를 입력하는 제1 인버터;

상기 제1 인버터 출력과 상기 제1 내부 데이터를 입력하는 노아 게이트;

일단으로 입력되는 상기 노아 게이트 출력을 상기 제1 전송 신호쌍에 응답하여 다른 단으로 전달하는 전송 게이트;

전원 전압과 상기 전송 게이트 다른 단 사이에 연결되고 상기 제2 싱글 데이터 레이트 신호에 게이팅되는 피모스 트랜지스터;

상기 전송 게이트 다른 단의 전압 레벨을 래치하는 래치; 및

상기 래치 출력을 반전시켜 제1 경로부 출력 신호를 출력하는 제2 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제4항에 있어서, 상기 제1 경로부는

상기 전송 게이트 다른 단과 접지 전압 사이에 연결되고 리셋 신호에 게이팅되어 상기 전송 게이트 다른 단을 리셋시키는 엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제2항에 있어서, 상기 제2 경로부는

통합 플래그 신호를 입력하는 제1 인버터;

상기 제1 인버터 출력과 상기 제2 내부 데이터를 입력하는 노아 게이트;

일단으로 입력되는 상기 노아 게이트 출력을 상기 제2 전송 신호쌍에 응답하여 다른 단으로 전달하는 전송 게이트;

전원 전압과 상기 전송 게이트 다른 단 사이에 연결되고 상기 제1 싱글 데이터 레이트 신호에 게이팅되는 피모스 트랜지스터;

상기 전송 게이트 다른 단의 전압 레벨을 래치하는 래치; 및

상기 래치 출력을 반전시켜 제2 경로부 출력 신호를 출력하는 제2 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 제2 경로부는

상기 전송 게이트 다른 단과 접지 전압 사이에 연결되고 리셋 신호에 게이팅되어 상기 전송 게이트 다른 단을 리셋시키는 엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 8】**

제1항에 있어서, 상기 통합 출력 신호 발생부는

상기 제1 경로부의 출력과 상기 제2 경로부의 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트의 출력을 입력하여 상기 통합 출력 신호로 출력하는 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

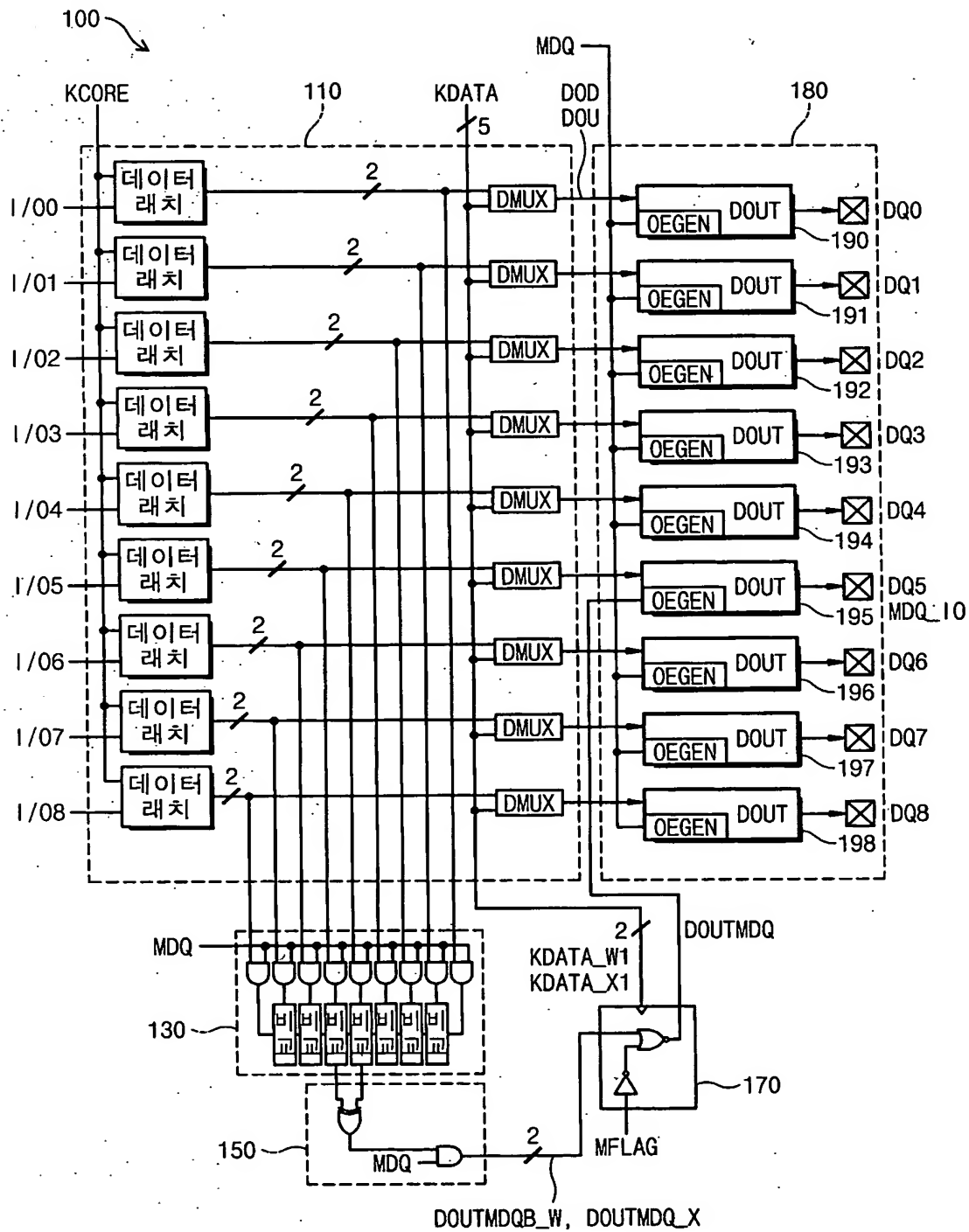
**【청구항 9】**

제1항에 있어서,

상기 클럭 신호의 제1 에지 구간은 상승 에지 구간이고, 상기 제2 에지 구간은 하강 에지 구간인 것을 특징으로 하는 반도체 메모리 장치.

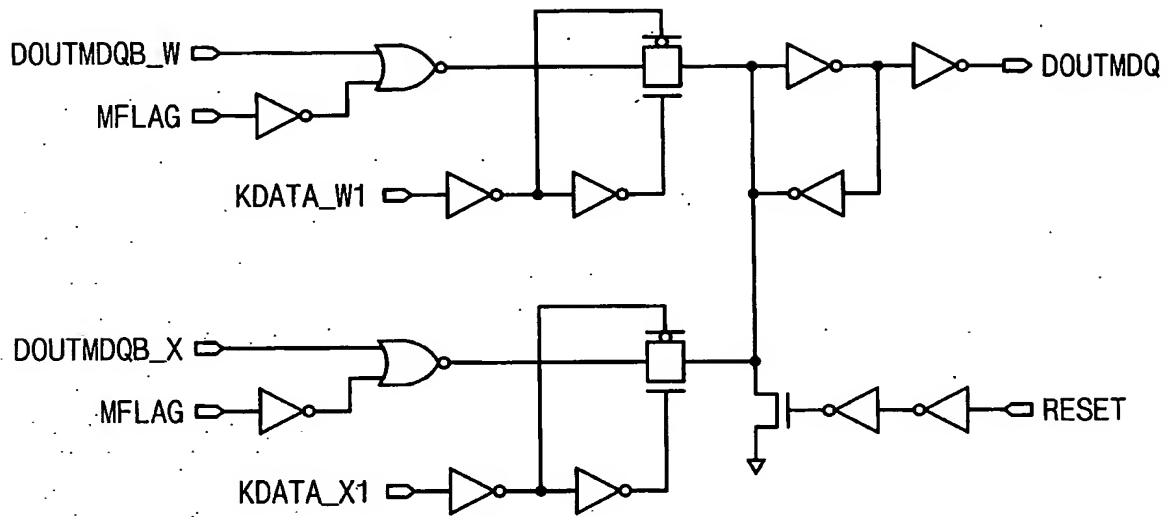
【도면】

【도 1】

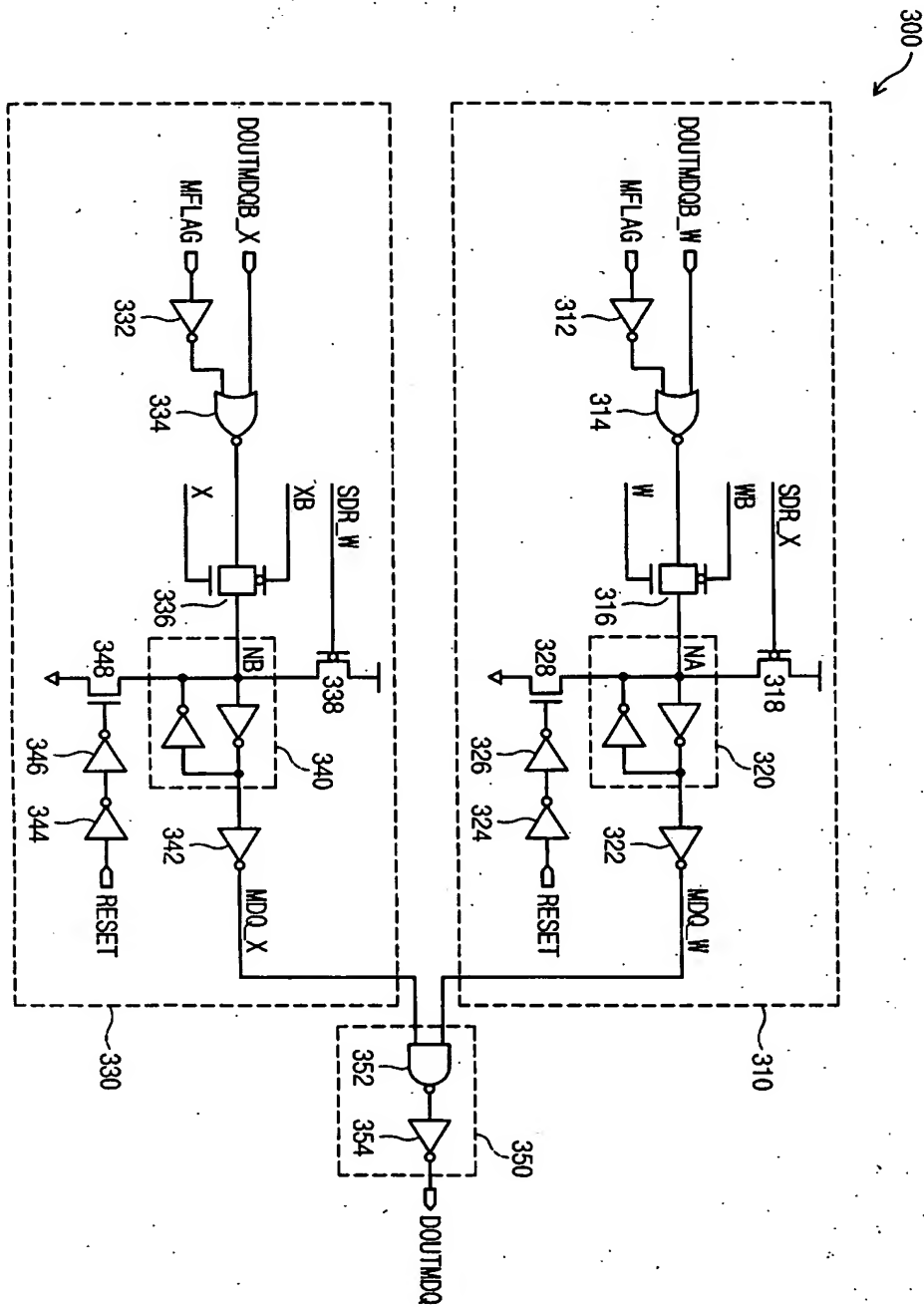


【도 2】

170



【도 3】



【도 4】

